

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. Januar 2004 (15.01.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/006314 A1

(51) Internationale Patentklassifikation⁷: H01L 21/28,
21/336, 29/78

(DE). TEWS, Helmut [DE/DE]; Frankenwaldstr. 36,
81549 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/002072

(74) Anwalt: KINDERMANN, Peter; Patentanwälte Kinder-
mann, Postfach 1330, 85627 Grasbrunn (DE).

(22) Internationales Anmeldedatum:
21. Juni 2003 (21.06.2003)

(81) Bestimmungsstaaten (*national*): CN, JP, KR, SG, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 30 696.6 8. Juli 2002 (08.07.2002) DE

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

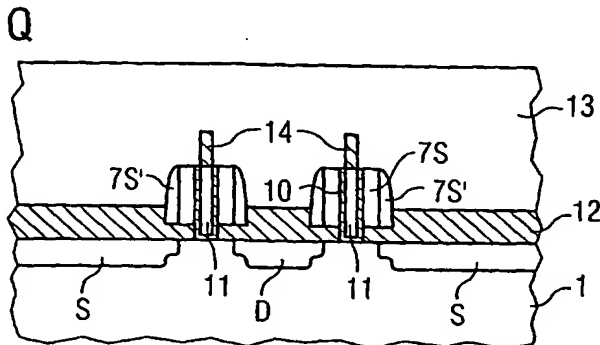
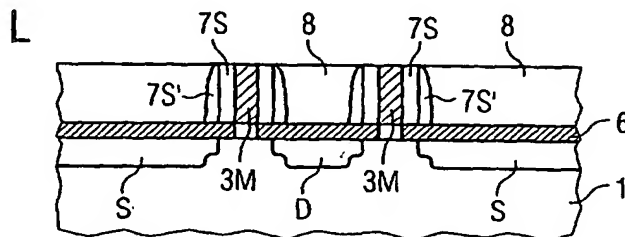
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FEHLHABER,
Rodger [DE/DE]; Lautensackstr. 24, 80687 München

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: METHOD FOR THE PRODUCTION OF A SHORT CHANNEL FIELD EFFECT TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES KURZKANAL-FELDEFFEKTTRANSISTORS



(57) Abstract: The invention relates to a method for the pro-
duction of a short channel field effect transistor comprising
the following steps: configuring a sublithographic gate sac-
rifice layer (3M), configuring spacers (7S) in the side walls
of the gate sacrifice layer (3M), removing the gate sacrifice
layer (3M) for configuring a gate groove and configuring a
gate dielectric (10) and a control layer (11) in the gate groove.
A short channel FET having minimal fluctuations in critical
dimensions of less than 100 nanometers is thereby obtained.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfah-
ren zur Herstellung eines Kurzkanal-Feldeffekttransistors
mit den Schritten: Ausbilden einer sublithographischen
Gate-Opferschicht (3M), Ausbilden von Spacern (7S)
an den Seitenwänden der Gate-Opferschicht (3M),
Entfernen der Gate-Opferschicht (3M) zum Ausbilden einer
Gate-Aussparung und Ausbilden eines Gate-Dielektrikums
(10) und einer Steuerschicht (11) in der Gate-Aussparung.
Auf diese Weise erhält man einen Kurzkanal-FET mit
minimalen Schwankungen der kritischen Abmessungen in
einem Bereich unterhalb von 100 Nanometer.

WO 2004/006314 A1

Beschreibung

Verfahren zur Herstellung eines Kurzkanal-Feldeffekttransistors

5

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung eines Kurzkanal-Feldeffekttransistors und insbesondere auf ein Verfahren zur Herstellung von CMOS-Transistoren mit Kanallängen unterhalb von 100 Nanometer und minimalen Schwankungen der kritischen Abmessungen.

10

Mit der fortschreitenden Integrationsdichte von Halbleiter-schaltungen verringern sich zunehmend auch die kritischen Abmessungen bzw. kleinsten Strukturgrößen von Halbleiterbauelementen. Hierbei kommt insbesondere der Kontrolle bzw. Einstellbarkeit einer Gatelänge in sogenannten Feldeffekttransistoren (FETs) eine besondere Bedeutung zu, da hierdurch die elektrischen Eigenschaften wesentlich beeinflusst werden. Ohne den Einsatz derartiger sogenannter Kurzkanal-Transistoren ist eine weitergehende Integrationsdichte und Schaltungskomplexität nicht zu realisieren.

15

20

25

30

35

Mit der zunehmenden Verringerung der Kanallänge verringert sich üblicherweise jedoch auch eine Breite einer zugehörigen Gate-Steuerschicht (Gate-Stapel), wodurch sich wesentliche Leitfähigkeitsprobleme und somit Ansteuer- bzw. Geschwindigkeitsprobleme ergeben. Zur Beseitigung derartiger Leitfähigkeitsprobleme wurden in letzter Zeit sogenannte Replacement-Gate-Verfahren eingesetzt, wobei eine üblicherweise aus Polysilizium bestehende Gate-Opferschicht auf dem Gateoxid abgeschieden wird, anschließend mittels Lithographie und mittels Trockenätzen strukturiert wird, und nach dem Ausbilden von Source-/Draingebieten entfernt und die entstehende Gate-Aussparung mit hochleitenden Materialien zur Realisierung des eigentlichen Gates aufgefüllt wird.

Bei der Entwicklung von geeigneten Lithographieverfahren zur Herstellung sehr feiner Gate-Strukturen in einem Sub-100-Nanometer-Bereich ergeben sich jedoch außerordentlich große Probleme, die insbesondere aus der sogenannten Resistchemie, der Maskenherstellung und der Komplexität des Lithographiesystems resultieren.

Bei der Weiterentwicklung der optischen Lithographie zur Herstellung von sehr feinen Strukturen im Bereich von 100 Nanometer wurde beispielsweise die sogenannte 157 Nanometer-Lithographie erreicht. Diese Lithographieverfahren benötigen hierbei neuartige Resistmaterialien, wobei trotz intensivster Bemühungen bisher kein Resist gefunden wurde, der vollständig die technischen Anforderungen hinsichtlich derartig kleiner Strukturen erfüllt. Darüber hinaus sind neben diesen neuen Materialien auch neue Verfahren zur Maskenherstellung notwendig, wobei deren Entwicklung wiederum sehr kostenintensiv ist. Es ergeben sich daher sehr kostenintensive und schwer handhabbare Lithographiesysteme.

Als Alternative zu derartigen herkömmlichen optischen Lithographieverfahren wurden daher sogenannte sublithographische Verfahren eingeführt. Bei diesen Verfahren wird z.B. mit dem herkömmlichen Fotoresist eine Struktur auf einer Hilfsschicht abgebildet, diese Hilfsschicht anisotrop geätzt, die Resistmaske entfernt, und anschließend mit einem isotropen Ätzverfahren die Hilfsschicht von allen Seiten geätzt und damit verkleinert. Diese verkleinerte Struktur in der Hilfsschicht bildet dann die gewünschte sublithographische Maske.

Nachteilig bei derartigen herkömmlichen Verfahren sind jedoch die Schwankungen der kritischen Abmessungen CD (Critical Dimension) der sublithographischen Maske, die im Wesentlichen von verwendeten Resistmaterialien, der Resistchemie, dem anisotropen Ätzprozess und dem anschließenden isotropen Ätzprozess herrühren. Jeder dieser Prozesse erhöht die Variation der kritischen Abmessung CD. Diese Schwankungen der kriti-

schen Abmessung CD (heute typisch 12 Nanometer) stellen mit abnehmender Gatelänge $< 100\text{nm}$ ein immer stärker werdendes Problem dar, da es sehr schwierig ist, gleichzeitig die Forderungen nach kleinerer Gatelänge und proportional verringerter CD Schwankung zu erfüllen. Im Bereich unterhalb von 100 nm wirken sich derartige Schwankungen stark auf die elektrischen Eigenschaften der einzelnen Transistoren und der Gesamtschaltung aus.

Der Erfindung liegt daher die Aufgabe zu Grunde, ein Verfahren zur Herstellung eines Kurzkanal-Feldeffekttransistors zu schaffen, wobei mit minimalem Aufwand Schwankungen der kritischen Abmessungen bzw. der Kanallängen stark verringert und anisotrope Ätzverfahren auf ein Minimum reduziert sind.

Erfindungsgemäß wird diese Aufgabe durch die Maßnahmen des Patentanspruchs 1 gelöst.

Insbesondere auf Grund der Durchführung einer chemischen Umwandlung von zumindest den Seitenwänden einer ersten Maske zum Ausbilden einer sublithographischen Maskenschicht und der weiteren Verwendung dieser chemisch umgewandelten Maskenschicht als Gate-Opferschicht können bei Reduzierung von unerwünschten anisotropen Ätzverfahren und einer weitgehenden Vereinfachung des Gesamtprozesses Schwankungen der kritischen Abmessungen bzw. der Kanallängen stark verringert werden, da die chemische Umwandlung nahezu 100% konform zu einer Oberfläche möglich ist und die umgewandelte Gate-Opferschicht mit herkömmlichen isotropen Ätzverfahren entfernt werden kann.

Zusätzlich kann eine Schutzschicht für die sublithographische Maskenschicht ausgebildet werden, wobei die in nachfolgenden lithographischen Verfahren durchgeführten Ätzschritte das Auftreten von zusätzlichen Schwankungen der kritischen Abmessung zuverlässig verhindern.

Vorzugsweise wird als erste Maskenschicht eine Polysiliziumschicht verwendet und als chemische Umwandlung eine nasse Oxidation mit H_2 und O_2 durchgeführt, wodurch man bei Einsatz von Standardmaterialien und Standardverfahren eine sehr geringe Schwankung der Kanallänge des Feldeffekttransistors erhält.

Ferner kann eine weitere Schutzschicht an der Oberfläche des Halbleitersubstrats ausgebildet werden, die als zusätzliche Ätzstoppschicht und Streuschicht bei einer nachfolgend durchgeführten Implantation verwendet werden kann. Sowohl die elektrischen Eigenschaften als auch die Ätzgenauigkeit lässt sich dadurch weiter verbessern.

Vorzugsweise wird als Opfer-Füllschicht Poly-SiGe abgeschieden und planarisiert, wodurch man eine ausreichende Ätzselektivität gegenüber den weiterhin verwendeten Standardmaterialien des Gatestapels erhält.

Ferner kann nach dem Entfernen der sublithographischen Gate-Opferschicht eine Spacer-Zusatzschicht ausgebildet werden, wodurch sich die Isolationseigenschaften für das Gate bzw. die Steuerschicht weiter verbessern lassen.

Zum Auffüllen der erzeugten Gate-Aussparung wird vorzugsweise ein sogenanntes Damascene-Verfahren verwendet, wodurch sich die sehr schmalen Gräben mit hervorragend leitenden Materialien auffüllen lassen.

Zur Realisierung einer verbesserten Ansteuerbarkeit der Transistoren werden für das Gate-Dielektrikum Materialien mit hoher Dielektrizitätskonstante und für die Steuerschicht Materialien mit hoher elektrischer Leitfähigkeit verwendet.

Vorzugsweise wird zur Realisierung von Anschlussschichten bzw. Kontakten der Source-/Draingebiete ein sogenanntes Silizid-Verfahren (salicide process) durchgeführt, wodurch Kon-

takte mit hoher Leitfähigkeit selbstjustierend ausgebildet werden können.

In den weiteren Unteransprüchen sind weitere vorteilhafte
5 Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

10 Es zeigen:

Figuren 1A bis 1P vereinfachte Schnittansichten oder Draufsichten zur Veranschaulichung eines erfindungsgemäßen Verfahrens zur Herstellung eines Kurzkanal-Feldeffekttransistors.

15

Die Figuren 1A bis 1P zeigen vereinfachte Schnittansichten oder Draufsichten zur Veranschaulichung des erfindungsgemäßen Verfahrens zur Herstellung von Kurzkanal-Feldeffekttransistoren, wie sie beispielsweise in CMOS-Halbleiterschaltungen mit Kanallängen unterhalb von 100 Nanometer verwendet werden kann.

20

Gemäß Figur 1A wird als Halbleitersubstrat 1 vorzugsweise monokristallines Silizium verwendet, wobei jedoch auch beliebig
25 andere Halbleitersubstrate wie z.B. SOI, Ge oder III-V-Halbleiter verwendet werden können.

30

An der Oberfläche des Halbleitersubstrats 1 wird eine erste Maskenschicht 2 ausgebildet, die beispielsweise als Hartmaskenschicht ein Halbleitermaterial aufweist und vorzugsweise eine ca. 50 bis 100 Nanometer dicke amorphe oder polykristalline Siliziumschicht 2B aufweist. Optional kann die erste Maskenschicht 2 ferner eine Ätzstoppschicht 2A aufweisen, die
35 beispielsweise aus einer ca. 10 Nanometer dicken Siliziumnitridschicht besteht und zur Erhöhung einer Genauigkeit bei späteren Strukturierungsschritten verwendet werden kann.

Zum fotolithographischen Strukturieren der ersten Maskenschicht 2 können eine Vielzahl von Lithographieverfahren verwendet werden, wobei gemäß Figur 1A zunächst eine erste Resistenschicht an der Oberfläche der Maskenschicht 2 ausgebildet, anschließend belichtet und entwickelt und schließlich strukturiert wird, wodurch man eine erste Resistmaske RM erhält.

Gemäß Figur 1B wird anschließend unter Verwendung der Resistmaske RM die Maskenschicht 2 strukturiert, wobei bei Verwendung der optionalen Ätzstoppschicht 2A lediglich die darüber liegende Hartmaskenschicht 2B zum Ausbilden einer ersten Maske 2BM verwendet wird. Das Verfahren zum Durchführen einer derartigen lithographischen Strukturierung entspricht einem herkömmlichen lithographischen Verfahren, weshalb auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

Die in Figur 1B dargestellte erste Maske 2BM dient beispielsweise zur Festlegung eines Abstands von zwei benachbarten Gates in einer CMOS-Schaltung, wobei die Abmessungen der ersten Resistmaske RM und somit auch der ersten Maske 2BM wesentlich größer sind als die gewünschte Gatelänge bzw. die eine auszubildende sublithographische Gate-Opferschicht. In einer 70 Nanometer-Technologie besitzt die erste Maske 2BM beispielsweise eine Abmessung (Breite) von zum Beispiel 160 Nanometer. Ein derartiger Lithographieschritt kann daher mittels herkömmlicher MUV-Lithographie (Mid Ultra Violet) realisiert werden, wobei die dabei auftretende Resist-Seitenwand-Rauhigkeit für das nachfolgend beschriebene Verfahren unbedeutend ist, da es keinen Einfluss auf die endgültige Gatelänge bzw. die sublithographische Gate-Opferschicht besitzt.

Gemäß Figur 1C wird nunmehr eine chemische Umwandlung der Oberfläche und zumindest der Seitenwände der ersten Maske 2BM zum konformalen Ausbilden einer sublithographischen Maskenschicht 3 durchgeführt. Genauer gesagt wird beispielsweise eine nasse Oxidation mittels O_2 und H_2 für ca. 20 Minuten bei

einer Temperatur von 900 Grad Celsius durchgeführt, wodurch die Polysilizium-Seitenwände bzw. die Oberfläche der ersten Maske 2BM bis zu einer Dicke von beispielweise 30 Nanometer oxidiert wird. Diese chemische Umwandlung erfolgt hierbei nahezu 100% konform zur Oberfläche der ersten Maske 2BM, weshalb die Dicke der derart ausgebildeten sublithographischen Maskenschicht 3 an jedem Ort nahezu identisch ist und kaum Schwankungen aufweist.

Insbesondere werden durch diese chemische Umwandlung der ersten Maske 2BM Dickenschwankungen bzw. Schwankungen der kritischen Abmessung CD zuverlässig vermieden, die eine Verschlechterung der elektrischen Eigenschaften beispielsweise in Halbleiterschaltungen bewirken.

Da ferner eine derartige chemische Umwandlung wie z.B. eine Oxidation sehr genau gesteuert werden kann, erhält man problemlos eine Dickenkontrolle bzw. Einstellbarkeit der Dicke von 5% oder besser. Die Dicke der umgewandelten Oberflächen- bzw. Seitenwandschicht kann demzufolge in einem Bereich von 5 bis 50 Nanometer sehr genau anhand der Prozessparameter wie beispielweise einer Temperatur und einer Gaszusammensetzung festgelegt werden.

Eine Übergangsrauhigkeit von der ersten Maske bzw. der Polysiliziumschicht 2BM zur sublithographischen Maskenschicht bzw. dem Siliziumoxid 3 kann hierbei durch die Verwendung einer zusätzlichen amorphen Siliziumabscheidung anstelle einer Polysiliziumabscheidung ebenso verbessert werden wie durch eine vor der chemischen Umwandlung bzw. Oxidation durchgeführte Nitridation.

In diesem Zusammenhang ist es von Bedeutung, dass eine Rauheit bzw. eine Dickenschwankung der Resist-Seitenwände und damit der ersten Maske 2BM die Dicke der chemisch umgewandelten sublithographischen Maskenschicht 3 bzw. des Siliziumdioxids nicht beeinflusst. Während in herkömmlichen Lithogra-

phieverfahren die beiden Seitenwände der Resistmaske voneinander unabhängige Rauigkeiten bzw. unabhängige Schwankungen aufweisen und diese Rauigkeiten zu lokalen Schwankungen in der kritischen Abmessungen CD führen, ist die Schichtdicke der chemisch umgewandelten Maskenschicht 3 unabhängig von derartigen Resist-Rauigkeiten und/oder Abscheidungs-ungleichmäßigkeiten. Demzufolge führen Resist-Rauigkeiten bzw. Schwankungen lediglich zu Positionierfehlern eines jeweiligen Transistors (Gates), jedoch nicht zu einer Variation einer jeweiligen Gatelänge und somit Kanallänge. Darüber hinaus sind insbesondere in einem Oxidationsverfahren die Oxiddicken in erster Linie unabhängig von einer Dichte von jeweiligen Polystrukturen wie z.B. isolierten Strukturen oder dicht beieinanderstehenden Strukturen, die jeweils gleiche Oxiddicken aufweisen.

Gemäß einer nicht dargestellten vereinfachten Ausführungsform kann nach der chemischen Umwandlung zum Ausbilden der sublithographischen Maskenschicht 3 unmittelbar ein lithographisches Strukturieren zum Entfernen der ersten Maske 2BM sowie eventuell nicht benötigter Teile der sublithographischen Maskenschicht 3 erfolgen, wodurch man bereits eine sublithographische Gate-Opferschicht mit sehr geringen Schwankungen der kritischen Abmessungen CD erhält.

Zur weiteren Verbesserung bzw. Verringerung der Schwankungen der kritischen Abmessungen CD (Critical Dimension) kann jedoch gemäß Figur 1D optional eine Schutzschicht 4 für die sublithographische Maskenschicht vor dem lithographischen Strukturieren ausgebildet werden. Genauer gesagt kann beispielsweise eine Polysiliziumabscheidung zum ganzflächigen Ausbilden der Schutzschicht 4 über der sublithographischen Maskenschicht 3 durchgeführt werden, wobei anschließend beispielsweise mittels eines CMP-Verfahrens (Chemical Mechanical Polishing) die Schutzschicht 4 bis zur Maskenschicht 3 wieder entfernt wird. Die Maskenschicht 3 kann hierbei als Stopp-schicht dienen.

Gemäß Figur 1E werden in einem nachfolgenden Ätzschritt beispielsweise die freigelegten Oberflächenbereiche der Maskenschicht 3 entfernt, wobei vorzugsweise ein Oxidätzen zum Entfernen des freigelegten Topoxids durchgeführt wird. Hierbei können herkömmliche nasschemische Ätzverfahren verwendet werden, wobei die Äztiefe gleich der Oxiddicke bzw. der Dicke der Maskenschicht 3 ist.

- 10 In einem nachfolgenden Schritt wird gemäß Figur 1F zum lithographischen Strukturieren der sublithographischen Maskenschicht 3 eine zweite Resistmaske 5 als Ätzmaske verwendet und ein nasschemisches oder trockenchemisches Ätzen der freiliegenden Poly-Silizium- und Oxidbereiche selektiv zur Ätzstoppschicht 2A durchgeführt.

Gemäß der in Figur 1F dargestellten Draufsicht werden demzufolge die freiliegenden Bereiche der ersten Maske 2BM der Maskenschicht 3 und der Schutzschicht 4 bis zur Ätzstoppschicht 2A entfernt, wodurch man nach Entfernen der zweiten Resistmaske 5 die in Figur 1G dargestellte Draufsicht erhält. Bei entsprechender Wahl des Halbleitersubstrats 1 und der verwendeten Ätzverfahren kann die optionale Ätzstoppschicht 2A auch entfallen, wobei die freiliegenden Schichten lediglich bis zum Halbleitersubstrat 1 entfernt werden.

Gemäß Figur 1H, die wiederum eine vereinfachte Schnittansicht darstellt, werden nachfolgend das Polysilizium der ersten Maske 2BM und der Schutzschicht 4 selektiv zur Ätzstoppschicht bzw. Siliziumnitridschicht 2A entfernt und anschließend die Ätzstoppschicht 2A weggeätzt, wodurch man die für den nachfolgenden modifizierten Gate-Replacement-Prozess notwendige sublithographische Gate-Opferschicht 3M, welche vorzugsweise aus einem Oxid besteht, auf dem Halbleitersubstrat 1 erhält.

Somit lassen sich sehr schmale (z.B. 30 Nanometer breite) sublithographische Gate-Opferschichten 3M mit sehr geringen Schwankungen der kritischen Abmessungen CD realisieren. Der Abstand von zwei sublithographischen Gate-Opferschichten 3M entspricht hierbei der Breite der lithographischen Maske RM. Im Vergleich zu herkömmlichen Spacertechniken ist eine Kontrolle bzw. Herstellbarkeit der kritischen Abmessungen sehr viel präziser, wodurch sich sogar sublithographische Gate-Opferschichten mit einer Strukturbreite von kleiner 10 bis 20 Nanometer realisieren lassen.

Gemäß Figur 1I kann optional eine weitere Schutzschicht 6 an der Oberfläche des Halbleitersubstrats 1 ausgebildet werden, die im Wesentlichen eine Schutzschicht und/oder eine Streuschicht für beispielsweise eine nachfolgende Implantation darstellt. Diese weitere Schutzschicht 6 kann jedoch ebenfalls wie die optional eingeführte Ätzstoppschicht 2A auch entfallen, wobei eine entsprechende Ätzselektivität bzw. Auswahl von Materialien insbesondere für das Halbleitersubstrat 1 notwendig ist.

Gemäß Figur 1I wird somit unmittelbar auf dem Halbleitersubstrat 1 oder auf der optional vorliegenden weiteren Schutzschicht 6 eine Spacer-Schicht 7 mit herkömmlicher Spacertechnologie beispielsweise als Siliziumnitrid-Schicht konform abgeschieden und anschließend anisotrop geätzt, wodurch man die in Figur 1J dargestellte Spacerstruktur 7S an den Seitenwänden der sublithographischen Gate-Opferschichten 3M erhält.

Ferner werden gemäß Figur 1J Anschlussgebiete LDD für später auszubildende Source-/Draingebiete im Halbleitersubstrat 1 vorzugsweise unter Durchführung einer Ionenimplantation I_{LDD} und Verwendung der Spacer 7S und der Gate-Opferschicht 3M als Maske selbstjustierend ausgebildet. Bei Vorliegen der weiteren beispielsweise aus SiO_2 bestehenden Schutzschicht 6 dient diese in diesem Schritt als Streuschicht zur Verbesserung eines Dotierprofils im Halbleitersubstrat 1. Nach Herstellen

einer zweiten Spacerschicht bzw. eines zweiten Spacers 7S' analog zu Spacer 7S wird gemäß Figur 1K dann selbstjustiert eine Implantation $I_{S/D}$ zur Ausbildung von Sourcegebiet S und Draingebiet D durchgeführt. Zur Verbesserung der elektrischen Eigenschaften kann nachfolgend eine Temperaturbehandlung durchgeführt werden, mit der eine Ausheilung der bei der Ionenimplantation entstandenen Schädigungen realisiert wird.

Optional zum in den Figuren 1A bis 1J dargestellten Verfahrensablauf kann zu diesem Zeitpunkt auch eine Kontaktierung der Source-/Draingebiete S und D erfolgen, wobei vorzugsweise ein Silizid-Verfahren (salicide process) angewendet wird. Bei Anwesenheit der weiteren Schutzschicht 6 muss diese selbstverständlich vorher entfernt werden.

Gemäß dem vorliegenden bevorzugten Ausführungsbeispiel erfolgt jedoch diese Kontaktierung zu einem späteren Zeitpunkt, weshalb gemäß Figur 1L zunächst eine Opfer-Füllschicht 8 zum Einbetten der sublithographischen Gate-Opferschicht 3M und der Spacer 7S und 7S' durchgeführt wird. Genauer gesagt wird hierbei ein zu einem später ausgebildeten Gatestapel selektiv ätzbares Material als Opfer-Füllschicht 8 abgeschieden und beispielsweise mittels eines CMP-Verfahrens (Chemical Mechanical Polishing) planarisiert, wobei insbesondere für die in der Silizium-Halbleiterfertigung verwendeten Standardmaterialien vorzugsweise Poly-SiGe als Opfer-Füllschicht verwendet wird. Neben diesem Poly-SiGe-Füllmaterial können selbstverständlich auch andere Materialien als Opfer-Füllschicht verwendet werden, sofern sie eine ausreichend gute Ätz-Selektivität zum fertigen Gatestapel aufweisen.

Gemäß Figur 1M wird nunmehr zum Ausbilden einer jeweiligen Gate-Aussparung die sublithographische Gate-Opferschicht 3M entfernt. Bei Verwendung von in CMOS-Schaltungen üblicherweise eingesetzten NFET- und PFET-Transistoren werden diese Gate-Aussparungen vorzugsweise getrennt voneinander mittels herkömmlicher lithographischer Maskierung freigelegt. Zum

Entfernen der Gate-Opferschicht 3M werden vorzugsweise nass-chemische Ätzverfahren verwendet, die selektiv zur Opfer-Füllschicht 8 und zu den Spacern 7S und 7S' wirken. Bei Verwendung des vorstehend beschriebenen Poly-SiGe für die Opfer-Füllschicht 8 und einer Siliziumnitrid-Schicht für die Spacer 7S kann demzufolge mittels eines herkömmlichen nasschemischen Oxid-Ätzverfahrens die als Gate-Opferschicht 3M dienende Oxidschicht entfernt werden.

Optional kann gemäß Figur 1M an den Seitenwänden der Spacer 7S und dem Halbleitersubstrat 1 bzw. der Ätzstoppschicht 2A eine Spacer-Zusatzschicht 9 ausgebildet werden, wobei beispielsweise in einem kurzen Oxidationsschritt zur Umwandlung der Nitrid-Oberfläche der Spacer 7S und der Ätzstoppschicht 2A ein Oxid als Spacer-Zusatzschicht 9 ausgebildet wird. Vorzugsweise erfolgt diese Umwandlung der Spacer 7S mit einem Oxidations-Verfahren, wobei atomarer Sauerstoff verwendet wird und eine Oxidschicht 9 mit ca. 1 bis 3 Nanometer ausgebildet werden kann.

Durch diese Spacer-Zusatzschicht 9 erhält man eine weiter verbesserte Isolationsschicht für die später auszubildende Steuerschicht bzw. das Gate, wodurch Ladungsverluste bzw. Leckströme zuverlässig verhindert werden können.

Gemäß Figur 1N wird in einem nachfolgenden Schritt zunächst der Bodenbereich der Zusatzschicht 9 entfernt, wobei beispielsweise eine Oxid-Ätzung mit einem anisotropen Ätzverfahren wie z.B. reaktiven Ionenätzen (RIE, Reactive Ion Etch) durchgeführt wird. Sofern die optional ausgebildete Ätzstoppschicht 2A vorhanden ist, wird diese ferner in einer Nitrid-Ätzung selektiv zum Oxid entfernt und das Halbleitersubstrat 1, welches vorzugsweise aus Silizium besteht, an der Oberfläche in seinem Gate-Bereich freigelegt. Auf diese Weise wird eine Gate-Aussparung bis zum Halbleitersubstrat 1 ausgebildet, in der nachfolgend ein Gate-Dielektrikum und der eigentlich auszubildende Sub-100 Nanometer-Gatestapel erzeugt wird.

Vorzugsweise wird zur Realisierung dieses Gatestapels bzw. zum Auffüllen der Gate-Aussparung ein sogenanntes Damascene-Verfahren verwendet, wie es bei der Herstellung von Leiterbahnen bzw. Metallisierungsebenen verwendet wird. Hierbei können Diffusionsbarrierenschichten und/oder Keimschichten als Gate-Dielektrika ausgebildet werden, wodurch ein nachfolgendes Aufwachsen von metallischen Schichten wie z.B. einer Cu-Schicht ermöglicht bzw. vereinfacht wird. Zum Einebnen dieser Grabenfüllschichten wird beispielsweise die oberhalb des Grabens verbleibende Schichtenfolge mittels eines CMP-Verfahrens (Chemical Mechanical Polishing) entfernt und kontaktiert.

Auf diese Weise können auch sehr fein strukturierte Gate-Aussparungen im Sub-100 Nanometer-Bereich zuverlässig aufgefüllt werden und üblicherweise auftretene Korngrößen-, Elektromigrations- und Leitfähigkeitsprobleme innerhalb der Füllschichten zuverlässig verhindert werden.

Zur Realisierung von Gate-Isolationsschichten werden gemäß Figur 10 vorzugsweise Materialien mit hoher Dielektrizitätskonstante bzw. sogenannte high-k-Materialien an der gesamten Oberfläche der Gate-Aussparung bzw. der Zusatzschicht 9 als Gate-Dielektrikum 10 ausgebildet. Grundsätzlich reicht jedoch auch eine Ausbildung einer derartigen Schicht lediglich an der Bodenoberfläche der Gate-Aussparung aus, wobei beispielsweise auch Oxidationsverfahren zum Oxidieren der Oberfläche des Halbleitersubstrats 1 in Betracht kommen. Nach dem Ausbilden des Gate-Dielektrikums 10 wird die verbleibende Gate-Aussparung mit einem elektrisch leitenden Material zur Realisierung einer Steuerschicht 11 bzw. des eigentlichen Gates ausgebildet. Vorzugsweise werden hierbei Materialien mit hoher elektrischer Leitfähigkeit verwendet, wodurch die insbesondere bei Sub-100 Nanometer-Strukturen auftretenden Probleme hinsichtlich einer ausreichenden Leitfähigkeit kompensiert werden können.

Bei der Realisierung von CMOS-Schaltungen können beispielsweise für getrennt voneinander ausgebildete PFET-Transistoren und NFET-Transistoren neben metallischen Materialien wie z.B. TaN, Ir, RuO auch dotierte Halbleitermaterialien verwendet werden. Insbesondere kann für PFET-Transistoren in-situ Bor-dotiertes Polysilizium verwendet werden, wobei auch eine dünne Schicht aus Bor-dotiertem SiGe gefolgt von Polysilizium hervorragende elektrische Eigenschaften für einen jeweiligen Transistor ermöglichen. Andererseits kann für NFET-Transistoren in-situ Arsen oder Phosphor dotiertes Polysilizium empfohlen werden. Grundsätzlich sei hierbei darauf hingewiesen, dass zur Anpassung der Austrittsarbeiten bzw. zum Festlegen von jeweiligen Schwellwertspannungen der jeweiligen Transistoren entsprechende Materialien verwendet werden, wobei auch ein Mehrschichtaufbau mit einer Schicht zur Anpassung der Austrittsarbeit und einer weiteren Schicht zur Realisierung der benötigten hohen Leitfähigkeit denkbar ist. Abschließend erfolgt eine Planarisierung, wobei das vorstehend beschriebene CMP-Verfahren verwendet wird.

Gemäß Figur 1P wird in einem weiteren Verfahrensschritt nunmehr die Opfer-Füllschicht 8, welche vorzugsweise aus einer SiGe-Füllschicht besteht, selektiv zum Gatestapel bzw. zu den hierbei verwendeten Materialien entfernt, wobei vorzugsweise ein nasschemisches Ätzen durchgeführt wird. Sofern vorhanden, wird zu diesem Zeitpunkt auch die optional vorhandene weitere Schutzschicht 6 entfernt und die Oberfläche des Halbleitersubstrats bzw. der Source-/Draingebiete freigelegt.

Obwohl eine Kontaktierung der Source-/Draingebiete S und D, wie bereits vorstehend beschrieben wurde, auch zu einem früheren Zeitpunkt erfolgen kann wird eine entsprechende Kontaktierung vorzugsweise zu diesem Zeitpunkt durchgeführt, wobei vorzugsweise ein Silizid-Verfahren durchgeführt wird.

Zur weiteren Verbesserung der elektrischen Leitfähigkeiten der Source-/Draingebiete S und D bzw. zur Realisierung von hochleitfähigen Anschlussbereichen kann demzufolge zunächst silizierfähiges Material bzw. eine silizierfähige Metallschicht wie z.B. Cobalt, Nickel oder Platin ganzflächig abgeschieden werden. Anschließend wird eine Umwandlung der kristallinen Oberflächenschicht des Halbleitersubstrats 1 unter Verwendung des silizierfähigen Materials zum Ausbilden von hochleitfähigen Anschlussbereichen 12 durchgeführt, wobei an den nicht im Halbleitermaterial (Silizium) in Berührung stehenden Oberflächen dieses Materials kein Silizid (salicide) ausgebildet wird, sondern das abgeschiedene Material (Metall) bestehen bleibt, weshalb wiederum mittels eines vorzugsweise nasschemischen Ätzverfahrens eine selektive Rückätzung der abgeschiedenen Schicht erfolgen kann. Auf diese Weise kann unter Verwendung von lediglich einer Ätzkammer eine Vielzahl von Strukturierungsschritten zum Ausbilden der Anschlussbereiche durchgeführt werden, weshalb sich die Herstellungskosten verringern.

Bei der Verwendung von Cobalt, Nickel oder Platin ergeben sich selbstjustierte hochleitfähige Anschlussbereiche 12 Cobalt-, Nickel- oder Platin-Silizidschichten.

Falls die oberste Schicht der Gate-Stapel aus poly Si bestehen, kann auch auf den Gate-Stapel eine Silizidschicht 14 ausgebildet werden.

Gemäß Figur 1Q wird abschließend eine Isolierschicht 13 zum Einebnen der Halbleiter-Oberfläche ausgebildet, wobei die zwischen den Gestapeln liegenden Bereiche vorzugsweise mit Oxid wie z.B. HDP (High Density Plasma Oxid) oder BPSG (Bor-Phosphor-Silikat-Glas) aufgefüllt werden.

Auf diese Weise lassen sich Kurzkanal-Feldeffekttransistoren mit sehr kleiner Gatelänge und sehr geringen Schwankungen der kritischen Abmessungen auf einfache Weise realisieren. Darüber hinaus erlaubt das erfindungsgemäße Verfahren die Verwendung von optimierten Materialien für NFET- und PFET-Gatestapeln. Ferner kann die Anzahl von üblicherweise notwendigen anisotropen Ätzschritten verringert werden.

Die Erfindung wurde anhand einer Polysiliziumschicht für eine Maskenschicht, einer Oxidationsumwandlung der Maskenschicht, einer Nitridschicht als Ätzstoppschicht und einer SiGe-Polyschicht als Opfer-Füllschicht beschrieben. Die Erfindung ist jedoch nicht auf derartige Schichtmaterialien beschränkt, sondern umfasst in gleicher Weise Schichtmaterialien, die ähnliche Eigenschaften aufweisen. Insbesondere kann die Realisierung der vorstehend beschriebenen Oxid-Gate-Opferschicht auch durch eine Oxidation von beispielsweise verschiedenen Hartmaskenschichten oder einer chemischen Umwandlung einer abgeschiedenen Schicht wie z.B. eines abgeschiedenen Oxids oder verschiedener abgeschiedener Schichten realisiert werden.

Patentansprüche

1. Verfahren zur Herstellung eines Kurzkanal-Feldeffekt-transistors mit den Schritten:
 - 5 a) Vorbereiten eines Halbleitersubstrats (1);
 - b) Ausbilden einer ersten Maskenschicht (2) an der Oberfläche des Halbleitersubstrats (1);
 - c) lithographisches Strukturieren der ersten Maskenschicht (2) zum Ausbilden einer ersten Maske (2BM) mit im Wesentli-
10 chen senkrechten Seitenwänden;
 - d) Durchführen einer chemischen Umwandlung von zumindest einer Seitenwand der ersten Maske (2BM) zum Ausbilden einer sublithographischen Maskenschicht (3);
 - e) lithographisches Strukturieren der sublithographischen
15 Maskenschicht (3) zum Ausbilden einer sublithographischen Gate-Opferschicht (3M);
 - f) Entfernen der ersten Maske (2BM);
 - g) Ausbilden von Spacern (7S, 7S') an den Seitenwänden der sublithographischen Gate-Opferschicht (3M);
 - 20 h) Ausbilden von Anschlußgebieten (LDD) und/oder Source-/Draingebieten (S, D) im Halbleitersubstrat (1);
 - i) Ausbilden einer Opfer-Füllschicht (8) zum Einbetten der sublithographischen Gate-Opferschicht (3M) und der Spacer (7S);
 - 25 j) Entfernen der sublithographischen Gate-Opferschicht (3M) zum Ausbilden einer Gate-Aussparung;
 - k) Ausbilden eines Gate-Dielektrikums (10) in der Gate-Aussparung;
 - l) Ausbilden einer Steuerschicht (11) in der Gate-Ausspa-
30 rung;
 - m) Entfernen der Opfer-Füllschicht (8) zum Freilegen der Source-/Draingebiete (S, D);
 - n) Ausbilden von Anschlussschichten (12) für die Source-/Draingebiete (S, D); und
 - 35 o) Ausbilden einer Isolierschicht (13) zum Einebnen einer Halbleiter-Oberfläche.

2. Verfahren nach Patentanspruch 1,
g e k e n n z e i c h n e t d u r c h die weiteren Schritte:

- 5 e1) Ausbilden einer Schutzschicht (4) für die sublithographische Maskenschicht (3) vor dem Schritt e); und
e2) Entfernen der Schutzschicht (4) nach dem Schritt e).

3. Verfahren nach Patentanspruch 2,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
10 e1) die Schutzschicht (4) ganzflächig über der sublithographischen Maskenschicht (3) ausgebildet und anschließend bis zur sublithographischen Maskenschicht (3) zurückgebildet wird.

15 4. Verfahren nach einem der Patentansprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) eine konforme Umwandlung der Seitenwände der ersten Maske (2BM) in einem Dickenbereich von 5 bis 50 Nanometer erfolgt.

20 5. Verfahren nach einem der Patentansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t, dass die erste Maskenschicht (2) ein Halbleitermaterial aufweist und die chemische Umwandlung in Schritt d) eine Oxidation des Halbleitermaterials darstellt.

25 6. Verfahren nach Patentanspruch 5,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) eine nasse Oxidation mit H_2 und O_2 durchgeführt wird.

30 7. Verfahren nach einem der Patentansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t, dass in den Schritten b) und c)
b1) ein Ausbilden einer ersten Resistschicht an der Oberfläche der Maskenschicht (2);
35 c1) ein lithographisches Strukturieren der Resistschicht zum Ausbilden einer ersten Resistmaske (RM); und

c2) ein Strukturieren der Maskenschicht (2) unter Verwendung der ersten Resistmaske (RM) erfolgt.

8. Verfahren nach einem der Patentansprüche 1 bis 7,
5 d a d u r c h g e k e n n z e i c h n e t, dass die Maskenschicht (2) eine Ätzstoppschicht (2A) aufweist und in Schritt e) eine zweite Resistmaske (5) als Ätzmaske verwendet wird.

10 9. Verfahren nach Patentanspruch 8,
d a d u r c h g e k e n n z e i c h n e t, dass die erste Maskenschicht (2) eine Polysiliziumschicht (2B) und eine Siliziumnitridschicht (2A) aufweist.

15 10. Verfahren nach einem der Patentanspruch 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t, dass vor Schritt g) eine weitere Schutzschicht (6) an der Oberfläche des Halbleitersubstrats (1) ausgebildet und in Schritt m) diese weitere Schutzschicht (6) wieder entfernt wird.

20 11. Verfahren nach einem der Patentansprüche 1 bis 10,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt g) eine konforme Si_3N_4 -Schicht (7) ausgebildet und anisotrop geätzt wird.

25 12. Verfahren nach einem der Patentansprüche 1 bis 11,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt h) eine Ionenimplantation (I_{LDD} , $I_{\text{S/D}}$) mit nachfolgender Temperaturbehandlung durchgeführt wird.

30 13. Verfahren nach einem der Patentansprüche 1 bis 12,
d a d u r c h g e k e n n z e i c h n e t, dass der Schritt h) nach dem Schritt m) durchgeführt wird.

35 14. Verfahren nach einem der Patentansprüche 1 bis 13,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt i) Poly-SiGe als Opfer-Füllschicht (8) abgeschieden und planarisiert wird.

- 5 15. Verfahren nach einem der Patentansprüche 1 bis 14, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt j) die Gate-Opferschicht (3M) nasschemisch selektiv zur Opfer-Füllschicht (8) und zum Spacer (7S) entfernt wird.
- 10 16. Verfahren nach einem der Patentansprüche 1 bis 14, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt j) die zusätzlichen Schritte:
j1) Ausbilden einer Spacer-Zusatzschicht (9) und
j2) Entfernen eines Bodenbereichs der Spacer-Zusatzschicht
15 (9) durchgeführt werden.
17. Verfahren nach Patentanspruch 16, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt j1) eine Umwandlung der Spacer (7S) an ihrer Oberfläche mit
20 atomarem Sauerstoff durchgeführt wird.
18. Verfahren nach einem der Patentansprüche 8 bis 17, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt j) die Ätzstoppschicht (2A) zum Freilegen des Halbleitersubstrats (1) entfernt wird.
25
19. Verfahren nach einem der Patentansprüche 1 bis 18, d a d u r c h g e k e n n z e i c h n e t, dass die Schritte k) und l) zum Auffüllen der Gate-Aussparung mittels
30 eines Damascene-Verfahrens realisiert werden.
20. Verfahren nach einem der Patentansprüche 1 bis 19, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt k) Materialien mit hoher Dielektrizitätskonstante als Gate-
35 Dielektrikum (10) verwendet werden.
21. Verfahren nach einem der Patentansprüche 1 bis 20,

21

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
1) Materialien mit hoher elektrischer Leitfähigkeit als Steu-
erschicht (11) verwendet werden.

5 22. Verfahren nach einem der Patentansprüche 1 bis 21,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
n) ein Silizid-Verfahren durchgeführt wird.

10 23. Verfahren nach einem der Patentansprüche 1 bis 22,
d a d u r c h g e k e n n z e i c h n e t, dass der
Schritt n) nach Schritt h) durchgeführt wird.

15 24. Verfahren nach einem der Patentansprüche 1 bis 23,
d a d u r c h g e k e n n z e i c h n e t, dass der Tran-
sistor ein PFET ist und die Steuerschicht (11) in-situ Bor-
dotiertes Polysilizium und/oder eine dünne Schicht aus bor-
dotiertem SiGe gefolgt von Polysilizium aufweist.

20 25. Verfahren nach einem der Patentansprüche 1 bis 23,
d a d u r c h g e k e n n z e i c h n e t, dass der Tran-
sistor ein NFET ist und die Steuerschicht (11) in-situ Arsen
oder Phosphor dotiertes Polysilizium aufweist.

1/4

FIG 1A

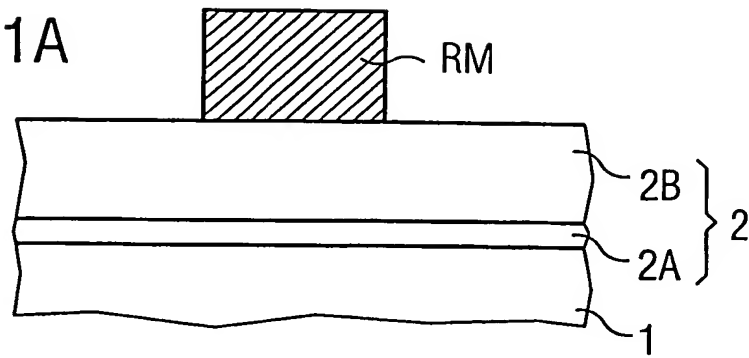


FIG 1B

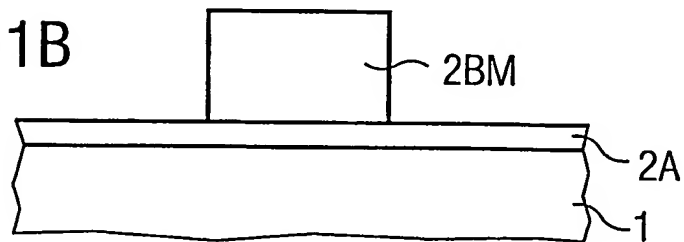


FIG 1C

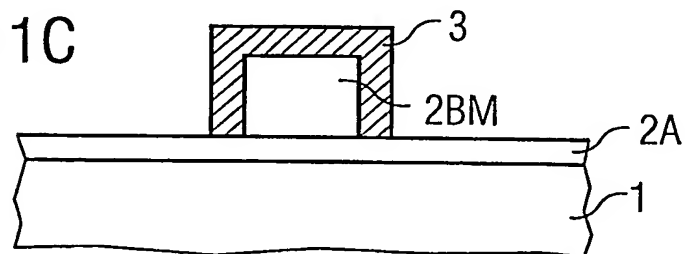


FIG 1D

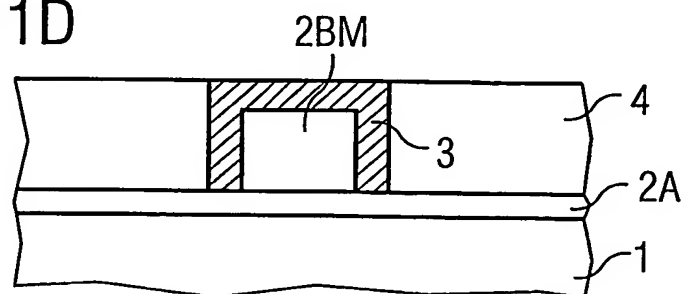


FIG 1E

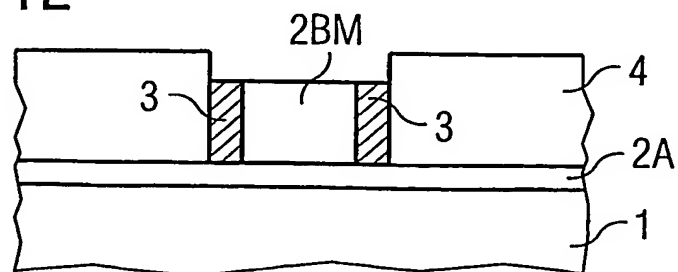


FIG 1F

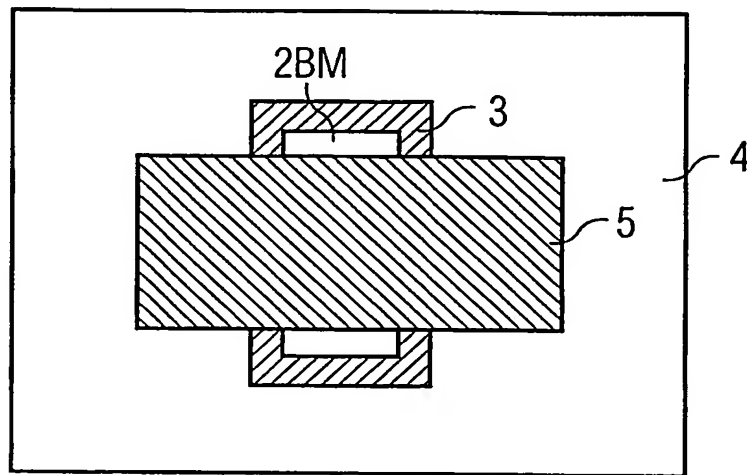


FIG 1G

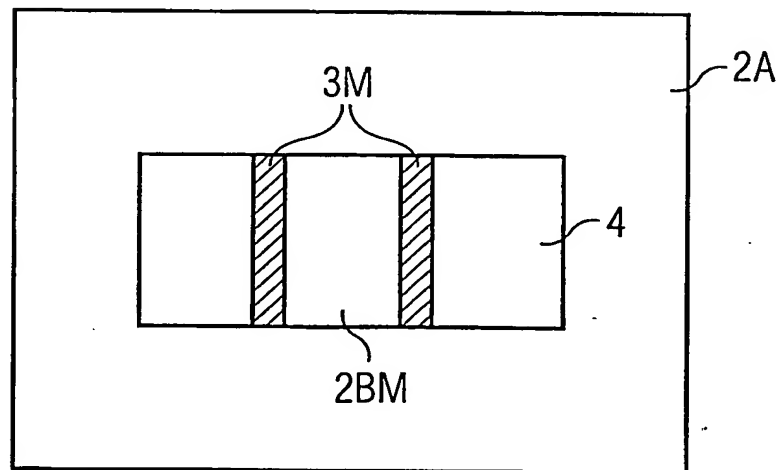
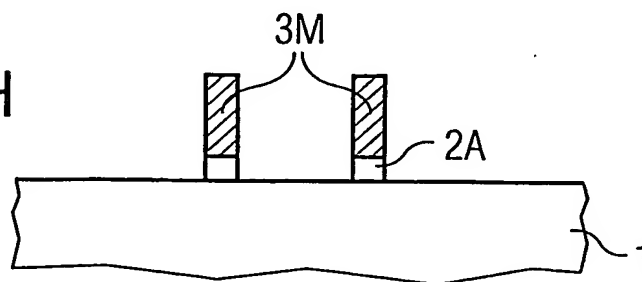


FIG 1H



3/4

FIG 1I

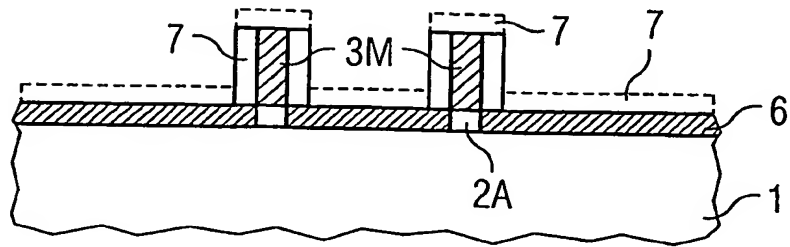


FIG 1J

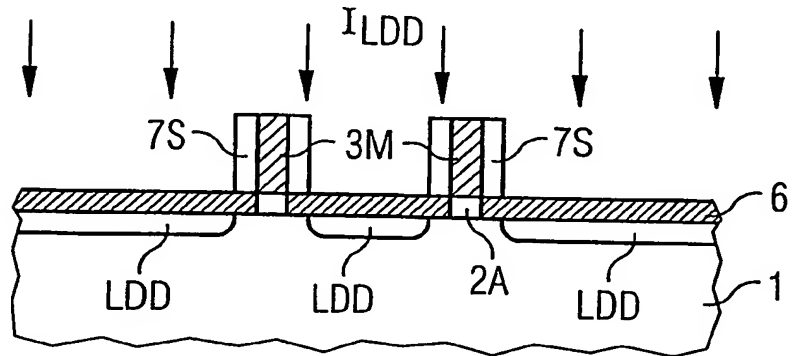


FIG 1K

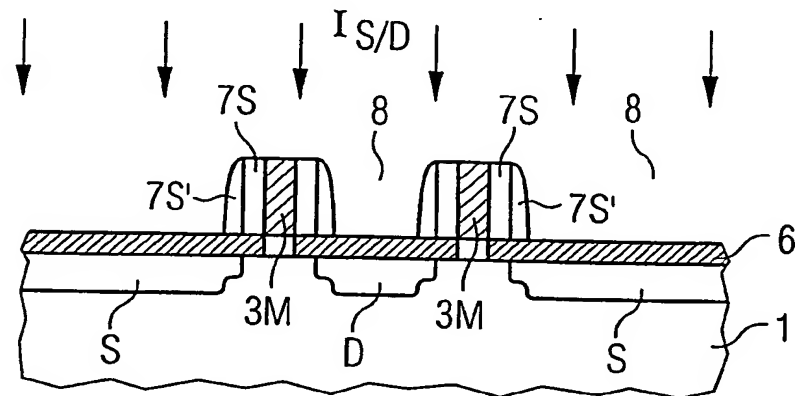


FIG 1L

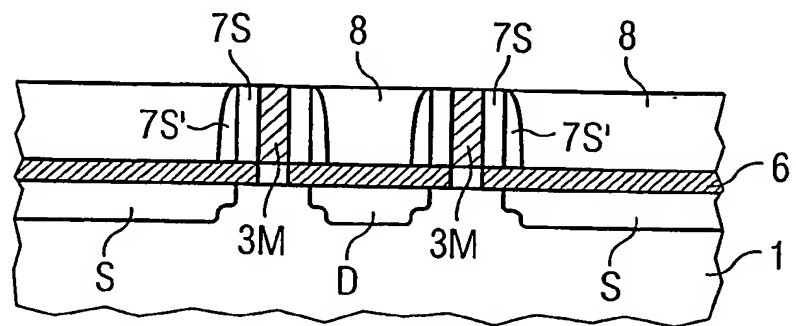


FIG 1M

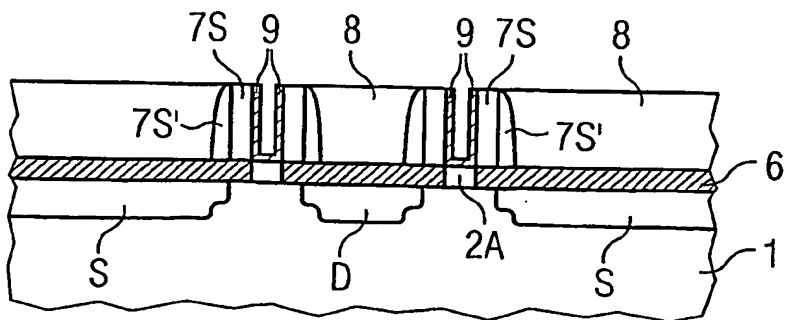


FIG 1N

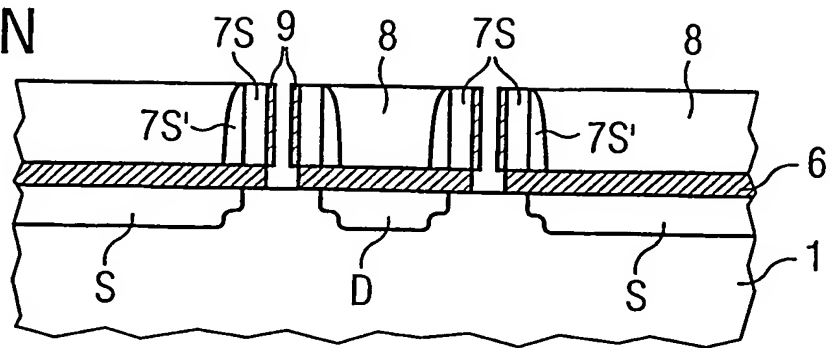


FIG 1O

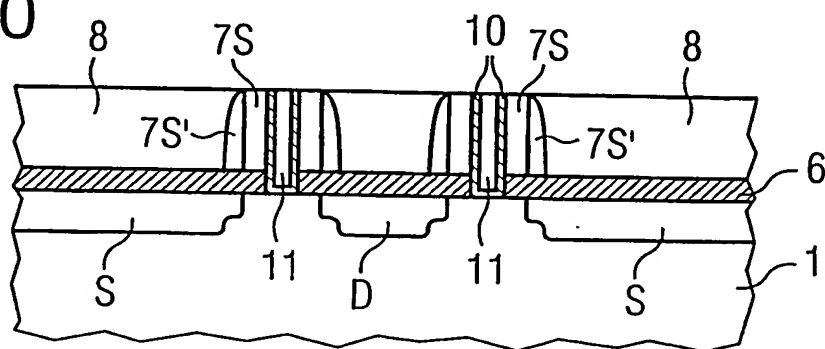


FIG 1P

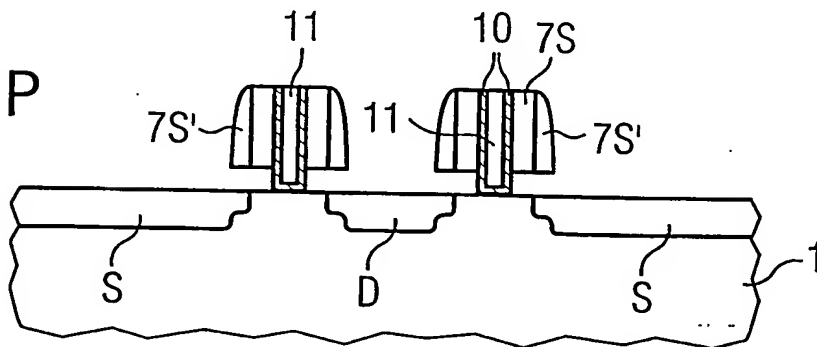
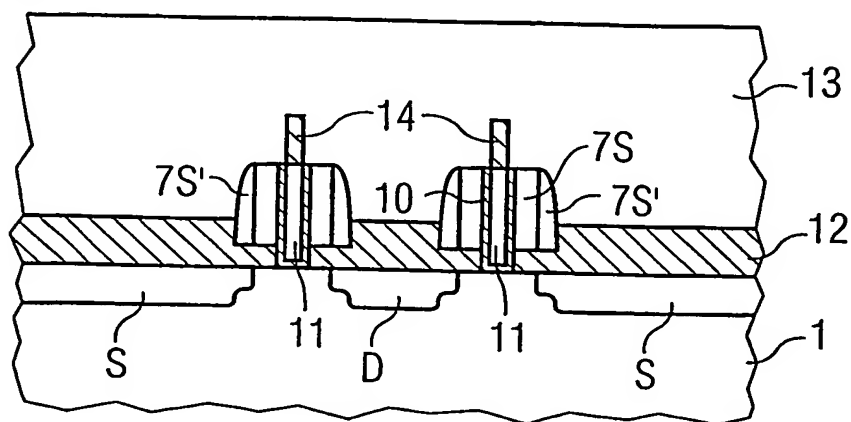


FIG 1Q



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/02072

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/28 H01L21/336 H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 008 096 A (DUANE MICHAEL ET AL) 28 December 1999 (1999-12-28) column 5, line 41 -column 7, line 48; figures 1-7	1-25
A	ABBAS S A ET AL: "FORMATION OF SUB-MICRON PATTERNS WITH NEGLIGIBLE TOLERANCE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 26, no. 6, 1 November 1983 (1983-11-01), pages 2732-2738, XP000648245 ISSN: 0018-8689 page 2737 -page 2738; figures 14-16	1-25
A	US 5 397 909 A (MOSLEHI MEHRDAD M) 14 March 1995 (1995-03-14) column 12, line 25 -column 12, line 40 -/--	1-25

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

12 November 2003

Date of mailing of the international search report

26/11/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Berthold, K

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/02072

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 391 510 A (MATHAD GANGADHARA S ET AL) 21 February 1995 (1995-02-21) column 2, line 59 -column 4, line 18; figure 1	1-25
A	----- PATENT ABSTRACTS OF JAPAN vol. 014, no. 229 (E-0928), 15 May 1990 (1990-05-15) & JP 02 060131 A (MATSUSHITA ELECTRIC WORKS LTD), 28 February 1990 (1990-02-28) abstract -----	1-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/02072

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6008096	A	28-12-1999	NONE	
US 5397909	A	14-03-1995	US 5168072 A DE 69132524 D1 DE 69132524 T2 EP 0480446 A2 JP 6077246 A	01-12-1992 08-03-2001 28-06-2001 15-04-1992 18-03-1994
US 5391510	A	21-02-1995	NONE	
JP 02060131	A	28-02-1990	NONE	

INTERNATIONALER RECHERCHENBERICHT

Intern. Pat. Zeichen

PCT/DE 03/02072

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L21/28 H01L21/336 H01L29/78

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 008 096 A (DUANE MICHAEL ET AL) 28. Dezember 1999 (1999-12-28) Spalte 5, Zeile 41 -Spalte 7, Zeile 48; Abbildungen 1-7	1-25
A	ABBAS S A ET AL: "FORMATION OF SUB-MICRON PATTERNS WITH NEGLIGIBLE TOLERANCE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 26, Nr. 6, 1. November 1983 (1983-11-01), Seiten 2732-2738, XP000648245 ISSN: 0018-8689 Seite 2737 -Seite 2738; Abbildungen 14-16	1-25
A	US 5 397 909 A (MOSLEHI MEHRDAD M) 14. März 1995 (1995-03-14) Spalte 12, Zeile 25 -Spalte 12, Zeile 40	1-25
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. November 2003

Absenddatum des internationalen Recherchenberichts

26/11/2003

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Berthold, K

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 391 510 A (MATHAD GANGADHARA S ET AL) 21. Februar 1995 (1995-02-21) Spalte 2, Zeile 59 -Spalte 4, Zeile 18; Abbildung 1 ---	1-25
A	PATENT ABSTRACTS OF JAPAN vol. 014, no. 229 (E-0928), 15. Mai 1990 (1990-05-15) & JP 02 060131 A (MATSUSHITA ELECTRIC WORKS LTD), 28. Februar 1990 (1990-02-28) Zusammenfassung -----	1-25

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die der selben Patentfamilie gehören

Internat. Patentnummer

PCT/DE 03/02072

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6008096	A	28-12-1999	KEINE		
US 5397909	A	14-03-1995	US	5168072 A	01-12-1992
			DE	69132524 D1	08-03-2001
			DE	69132524 T2	28-06-2001
			EP	0480446 A2	15-04-1992
			JP	6077246 A	18-03-1994
US 5391510	A	21-02-1995	KEINE		
JP 02060131	A	28-02-1990	KEINE		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.